

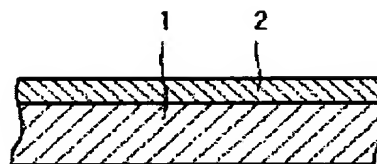
**LEAD MATERIAL FOR ELECTRONIC COMPONENT AND SEMICONDUCTOR DEVICE U:
THE SAME**

Patent number: JP2001257303
Publication date: 2001-09-21
Inventor: NAKAMURA TOSHINOBU; CHINDA SATOSHI
Applicant: HITACHI CABLE LTD
Classification:
- international: H01L23/50; C22C13/00; C22C38/00; C25D7/00; H01L23/48
- european:
Application number: JP20000073939 20000313
Priority number(s):

Abstract of JP2001257303

PROBLEM TO BE SOLVED: To provide a lead material for electronic components which will not cause the problem of an environment contamination with lead.

SOLUTION: The surface of the lead material 1 made of copper, its alloy, iron, its alloy, or the like is coated with a tin-copper alloy plating layer 2 containing 0.4 to 5.0 wt.% copper.



- 1 : 銅又はその合金或いは鉄又はその合金製リー
2 : 銅を0.4～0.5%の割合で含むスズ-銅合金め

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-257303

(P2001-257303A)

(43)公開日 平成13年9月21日(2001.9.21)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テームト [*] (参考) |
|------------------------------------|-------|---------------|------------------------|
| H 0 1 L 23/50 | | H 0 1 L 23/50 | D 4 K 0 2 4 |
| C 2 2 C 13/00 | | C 2 2 C 13/00 | 5 F 0 6 7 |
| 38/00 | 3 0 1 | 38/00 | 3 0 1 T |
| | 3 0 2 | | 3 0 2 X |
| C 2 5 D 7/00 | | C 2 5 D 7/00 | H |
| 審査請求 未請求 請求項の数4 O L (全 4 頁) 最終頁に続く | | | |

(21)出願番号 特願2000-73939(P2000-73939)

(22)出願日 平成12年3月13日(2000.3.13)

(71)出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72)発明者 中村 敏信

茨城県日立市日高町5丁目1番1号 日立

電線株式会社総合技術研究所内

(72)発明者 珍田 聡

茨城県日立市日高町5丁目1番1号 日立

電線株式会社総合技術研究所内

Fターム(参考) 4K024 AA15 AA21 AB01 BA02 BA09

BB10 BC01 GA16

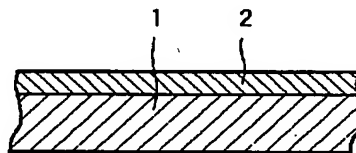
5F067 DC11 DC16 DC20 EA01 EA04

(54)【発明の名称】 電子部品用リード材及びそれを用いた半導体装置

(57)【要約】

【課題】鉛による環境汚染問題の生じない電子部品用リード材を提供すること。

【解決手段】銅又はその合金或いは鉄又はその合金等でできたリード材1の表面を、銅の含有量が0.4～5.0wt%のスズ-銅合金めっき層2で被覆した構成とする。



1：銅又はその合金或いは鉄又はその合金製リード基材

2：銅を0.4～0.5%の割合で含むスズ-銅合金めっき層

1

【特許請求の範囲】

【請求項 1】銅又はその合金或いは鉄又はその合金等でできたリード基材表面に、スズ-銅合金のめっきを施したことを特徴とする電子部品用リード材。

【請求項 2】請求項 1 記載の電子部品用リード材において、前記スズ-銅合金めっきが、銅の含有率を 0.45～5wt%とするスズ合金めっきであることを特徴とする電子部品用リード材。

【請求項 3】請求項 1 又は 2 記載の電子部品用リード材において、前記スズ-銅合金めっきの厚さを 1～15 μ m 10 としたことを特徴とする電子部品用リード材。

【請求項 4】請求項 1、2 又は 3 記載の電子部品用リード材から成るリードを、半導体パッケージの外側に露出させて曲げ形成したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品用リード材及びそれをリードとして用いた半導体装置に関するものである。

【0002】更に詳しくは、銅又はその合金或いは鉄又はその合金等でできたリード基材表面を、鉛を含有しないスズ-銅合金めっき層で被覆した電子部品用リード材であって、鉛を含有しないために環境を害することが無く、はんだとの接合強度が高い電子部品用リード材及びそれをを用いた半導体装置に関する。

【0003】

【従来の技術】IC、LSIなどの半導体素子は、いわゆるパッケージング工程において、リードフレーム上に固着された後、ワイヤボンディングなどによりリードフレームと電気的に接続され、更にモールド樹脂によりモールドされる。そして、基板などの外部回路とはんだ等を用いて接続するために、モールド樹脂の外側に露出したリードには、主に鉛を 10～40wt%含むスズ-鉛合金、いわゆる鉛はんだめっきが施され、その後リードはフレームから切断され、所定の形状に曲げ成形される。

【0004】このように、電子部品用リード材として、従来、銅又は銅合金、或いはFe又はFe合金に代表されるリード基材の表面を、スズ-鉛はんだに代表されるスズ合金めっき層で被覆したリード材が知られている。

【0005】かかる電子部品用リード材は、リード基材の優れた導電性と機械的強度を有しつつ、スズ合金の単純スズめっきにおけるウイスカ発生の抑制力と良好なはんだ付け性をも兼ね備える高性能導体であって、各種の端子、コネクタ、リードのような電気・電子部品として使用されている。

【0006】しかし、最近鉛による環境汚染問題がクローズアップされ、鉛を用いないスズ合金めっきリード材の開発が急務となっている。

【0007】

【発明が解決しようとする課題】しかしながら、従来技 50

2

術の問題点として、鉛を含まない単純なスズめっきでは、ウイスカの発生が懸念される。そこで、その代替材料として各種スズ合金めっき化が進められている。現在、鉛フリースズ合金めっき液としては、スズ-銀、スズ-ビスマス、スズ-亜鉛の3種類が開発されているが、スズ-銀合金めっきは高価であること、スズ-ビスマス合金めっきは硬く脆いため半導体装置の製造工程においてリードを曲げたときにめっき膜にクラックが生じるといった脆化問題があり、またスズ-亜鉛合金めっきは酸化されやすく濡れ性が劣り、ウイスカも発生しやすいという問題があり、いずれも現状のスズ-鉛合金めっき線材と完全な代替を図ることは困難である。

【0008】そこで本発明の目的は、上記課題を解決し、鉛による環境汚染問題の生じない電子部品用リード材と、それをリードとして用いた半導体装置を提供することにある。

【0009】更に、本発明の他の目的は、耐屈曲性、はんだ付け等の特性が良好であり、安価なスズ合金めっき線材つまり電子部品用リード材の提供と、それをを用いた半導体装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の電子部品用リード材は、銅又はその合金或いは鉄又はその合金等でできたリード基材表面に、スズ-銅合金のめっきを施したことを特徴とする（請求項 1）。

【0011】本発明の電子部品用リード材は、銅又はその合金或いは鉄又はその合金等でできたリード基材表面を、鉛を含有しないスズ-銅合金めっき層で被覆した構成であり、鉛を含有しないため、環境を害することが無い。また、そのスズ-銅合金めっき層は、はんだとの接合強度が高いため、従来のスズ-鉛合金めっき線材から成る電子部品用リード材と同様に用いることができる。

【0012】本発明の電子部品用リード材において、前記スズ-銅合金めっきは、はんだ付け性および機械加工性を考慮したとき、銅の含有率を 0.4～5wt%とするスズ合金めっきであることが好ましい（請求項 2）。また、実用上、前記スズ-銅合金めっきの厚さは 1～15 μ m 40 とするのがよい（請求項 3）。

【0013】本発明において、スズ-銅合金めっきの銅の含有率を 0.4wt%以上、5wt%以下としたのは、銅の含有率が 0.4wt%未満になるとウイスカの発生が認められ、また 5wt%を超えると機械的な曲げ加工において割れ（クラック）が発生するようになるためである。機械加工による割れは、銅の含有率 3wt%以上から生じる傾向が生まれ、その後銅の含有率が多くなるほど発生する割合が高くなることから、割れが生じない最も安全な範囲としては、銅の含有率が 0.4wt%以上、3wt%未満とするのが好ましい。

【0014】更に、本発明の半導体装置は、上記電子部

品用リード材から成るリードを、半導体パッケージの外側に露出させて曲げ形成したことを特徴とする（請求項4）。

【0015】この特徴によれば、曲げ成形されるリードにスズ-銅合金めっき層で被覆した電子部品用リード材を用いているので、曲げによる割れの発生を防止し、濡れ性の低下がなく、しかも耐ウィスカ性に優れた信頼性の高い半導体装置を実現することができる。

【0016】

【発明の実施の形態】以下、本発明の実施形態を実施例を中心にして説明する。

【0017】図1において、1は銅又は銅合金、或いは

FeまたはFe合金製のリード材であり、2は銅を0.4～5wt%の割合で含むスズ-銅合金のめっき層を示す。本実施例の電子部品用リード材は、リード材1上に上記スズ-銅合金のめっき層2を1～15 μ m施すことで構成される。なお、リード材1の形態としては、ここではIC、LSIなどの半導体素子のリードフレームとなるストライプめっき条の形態又は丸線を想定しているが、リード材1の形態にはこのような平条、丸線の他、異形条、筒状など任意の形態が含まれる。

【0018】

【表1】

| 区 分 | No. | めっき膜組成 (wt%) | | はんだ付性 (ゼロクロスタイム) | 機械加工性 (r=0.5曲加工) | ウィスカ (50℃×1ヶ月) |
|------|-----|--------------|-----|---------------------|---------------------|-------------------|
| | | Sn | Cu | | | |
| 比較例1 | ① | 99.8 | 0.2 | 0.8秒 | 割れ無し | 有り |
| 実施例1 | ② | 99.6 | 0.4 | 0.8秒 | 割れ無し | 無し |
| 実施例2 | ③ | 98.9 | 1.1 | 0.9秒 | 割れ無し | 無し |
| 実施例3 | ④ | 97.8 | 2.2 | 0.9秒 | 割れ無し | 無し |
| 実施例4 | ⑤ | 95.0 | 5.0 | 1.0秒 | 割れ無し | 無し |
| 比較例2 | ⑥ | 94.8 | 5.2 | 1.1秒 | 割れ無し* | 無し |
| 比較例3 | ⑦ | 91.1 | 8.9 | 1.2秒 | 割れ有り | 無し |
| 従来例 | ⑧ | Sn | Pb | 0.8秒 | 割れ無し | 無し |
| | | 95.0 | 5.0 | | | |

* 極めて割れの生じ易い状態であった。

【0019】表1において、試作番号1～7のうち、試作番号2～5が本発明の実施例であり、試作番号1及び試作番号6～7が比較例、試作番号8が従来例である。

【0020】本発明の実施例1～4（試作番号2～5）は次のようにして製作した。即ち、直径 ϕ 0.56mmの銅線（丸線）上に、シアン化浴を用いて、銅を0.4wt%、1.1wt%、2.2wt%、5.0wt%含むスズ合金めっきを6 μ m施した。

【0021】一方、比較例1～3（試作番号1、6、7）は、同じく直径 ϕ 0.56mmの銅線（丸線）上に、シアン化浴を用いて、銅を0.2wt%、5.2wt%、8.9wt%含むスズ合金めっきを6 μ m施して製作した。

【0022】これらの製品の特性を評価するため、各製品を、245℃に加熱した63%Sn-37%Pbはんだ、90%Sn-7.5%Bi-2%Ag-0.5%Cuはんだ及び95.4%Sn-3.5%Ag-1.1%Cuの各はんだ浴で、それぞれのはんだ付け性を測定した。測定方法は平衡法（JISC0053）である。

【0023】その結果、表1に示すように、実施例1～

4の各製品は、共に、はんだ濡れ時間（ゼロクロス時間）が0.8～1.0秒と良好なはんだ付性を示した。また、実施例1～4のスズ-銅合金めっきリード線に対し、半径0.5mmの曲げ加工を行い、機械加工性を試験したところ、どの線材でもめっき膜に割れは確認されなかった。更に、ウィスカの発生をみるため、50℃で1ヶ月の放置試験を行った結果、ウィスカは発生していなかった。

【0024】これに対し、比較例1～3の場合は、次のように不適当なものとなった。即ち、銅の含有率を0.2wt%としたスズ-銅合金（比較例1）の場合、はんだ濡れ時間は0.8秒と良好であったが、ウィスカの発生が認められた。これは銅の含有量が低すぎてウィスカの発生を抑制する性能に欠けていた、と判断される。

【0025】また、銅の含有率を5.2wt%としたスズ-銅合金（比較例2）の場合、はんだ濡れ時間は1.1秒と実用可能な範囲であり、ウィスカの発生も認められなかったが、半径0.5mmの曲げ加工による機械加工性の試験において、めっき膜は極めて割れの生じ易い状態にあった。

5

【0026】更に、銅の含有率を8.9wt%としたスズ-銅合金（比較例3）では、銅の含有量が多すぎるため曲げ加工を行うとスズ-銅合金層にクラックが発生した。

【0027】これらの結果より、銅の含有量が0.4～5.0wt%のスズ-銅合金がリード材としては実用範囲である。

【0028】一方、従来例（試作番号8）のスズ-鉛めっきリード線について、そのはんだ濡れ時間を測定したところ0.8秒であった。上記実施例1～4のはんだ濡れ時間は0.8～1.0秒であり、従来例の値と殆ど違いがないので、従来と同様の取り扱いやすい電子部品用リード材が得られたことになる。

【0029】上記実施例1～4の電子部品用リード材を平条の OUTER リードとして、半導体パッケージの外側に露出させ、曲げ形成して半導体装置を構成したところ、曲げによる割れがなく、濡れ性及び耐ウィスカ性に優れた信頼性の高い半導体装置を実現することができた。

【0030】

【発明の効果】以上説明したように本発明によれば、次のような優れた効果が得られる。

【0031】本発明の電子部品用リード材は、銅又はその合金或いは鉄又はその合金等でできたリード基材表面

6

を、鉛を含有しないスズ-銅合金めっき層で被覆した構成であり、鉛を含有しないため、環境を害することが無い。また、そのスズ-銅合金めっき層は、はんだとの接合強度が高いため、従来のスズ-鉛合金めっき線材から成る電子部品用リード材と同等の取扱い易さで用いることができる。

【0032】また、上記スズ-銅合金めっき層を銅含有率0.4～5wt%のスズ-銅合金めっき層とすることにより、曲げ加工に対して、従来のはんだめっきリード材並みの耐めっき割れ性を持ち、且つウィスカの発生を抑制したスズ合金めっきの電子部品用リード材を得ることができる。

【0033】従って、この電子部品用リード材を OUTER リードとして用い、半導体パッケージの外側に露出させて曲げ形成することにより、曲げによる割れがなく、濡れ性及び耐ウィスカ性に優れた信頼性の高い半導体装置を実現することができる。

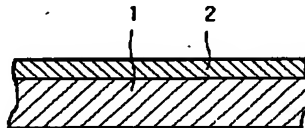
【図面の簡単な説明】

【図1】本発明のスズ-銅合金めっき層を設けたリード材を示す横断面図である。

【符号の説明】

- 1 銅又はその合金或いは鉄又はその合金製リード材
- 2 銅を0.4～5wt%の割合で含むスズ-銅合金めっき層

【図1】



- 1：銅又はその合金或いは鉄又はその合金製リード基材
- 2：銅を0.4～0.5%の割合で含むスズ-銅合金めっき層

フロントページの続き

(51) Int. Cl. 7

H01L 23/48

識別記号

F I

H01L 23/48

テーマコード（参考）

K